Interrupciones y excepciones

\*Las interrupciones y excepciones son acontecimientos externos o internos al procesador que desvían el flujo de control de la CPU. Son asincrónicas, es decir, no se sabe cuándo ocurrirán.

\*Las interrupciones se originan por acontecimientos externos.

\*Las excepciones se generan automáticamente por algo anormal sucedido en el flujo de control.

\*Tipos de interrupciones:

🡺 Externas:

🡪 Son activadas por componentes hardware externos.

🡪 La activación es regulada por el Controlador de Interrupciones Programable Avanzado (APIC).

🡪 Estas interrupciones son causadas por INTR y NMI.

🡪 **INTR**: es una interrupción enmascarable y depende del registro de flags IF (si IF = 1 se tiene en cuenta, sino no). Cuando es aceptada responderá con 2 ciclos de reconocimiento de interrupción; en ese momento lo que causó la interrupción deberá introducir el valor de entrada de la tabla a procesar.

🡪 **NMI**: es una interrupción no enmascarable y siempre es atendida. Es el resultado de un serio problema del hardware.

🡺 Internas:

🡪 Se originan como consecuencia de instrucciones especiales (software).

🡪 Estas interrupciones son causadas por INT n e INT0.

🡪 **INT n**: es una interrupción no enmascarable y siempre que se ejecuta se salta a la rutina de interrupción que indique n en la tabla.

🡪 **INT0**: es una interrupción que salta al vector 4 de la tabla siempre que el bit OG de los registros de flags valga 1.

\*Tipos de excepciones:

🡺 Faltas o errores: se encargan de corregir el error o falta al intentar ejecutar una instrucción, retornando al lugar donde la CPU dejo, tras finalizar la excepción.

🡺 Trampas: se generan tras finalizar una instrucción.

🡺 Abortos: no permiten localizar exactamente la instrucción que la genera.

\*La tabla de excepciones es la siguiente:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| VECTOR | DESCRIPCIÓN | **INSTRUCCIONES QUE PUEDE CAUSAR** | **CÓDIGO DE ERROR** | **CLASE** |
| **0** | Error de división #DE | DIV  IDIV | No | Falta |
| **1** | Excepción de depuración #DB | Cualquier código o dato de referencia | No | Falta  Trampa |
| **2** | Interrupción no enmascarable NMI | Interrupción externa no enmascarable | No | NMI interrupción externa |
| **3** | Punto de ruptura #BP | INT 3 | No | Trampa |
| **4** | Sobrepasamiento #OF | INT 0 | No | Trampa |
| **5** | Comprobación de limites #BR | BOUND | No | Falta |
| **6** | Código OP no valido #UD | UD2 o código OP reservado | No | Falta |
| **7** | Coprocesador no disponible #NM | WAIT/FWAIT o coma flotante | No | Falta |
| **8** | Doble falta #DF | Instrucciones que origine una excepción, NMI o INTR | Si (cero) | Aborto |
| **9** | Sobrepasamiento del segmento por el coprocesador | Instrucciones de coma flotante | No | Falta |
| **10** | TSS no valida #TS | Acceso TSS o conmutación de tareas | Si | Falta |
| **11** | Segmento no presente #NP | Carga de registros del segmento o acceso a segmentos | Si | Falta |
| **12** | Excepción en la pila #SS | Operaciones de pila y carga registros SS | Si | Falta |
| **13** | Protección general #GP | Referencias a memoria y comprobación de protección | Si | Falta |
| **14** | Fallo de página #PF | Referencia a memoria | Si | Falta |
| **15** | Reservas de Intel | ---- | No | ---- |
| **16** | Error de coma flotante x87 FPU #MF | WAIT/FWAIT o coma flotante | No | Falta |
| **17** | Comprobación de alineamiento #AC | Cualquier dato referenciado en memoria | Si | Falta |
| **18** | Comprobación de la maquina #MC | Códigos de error y fuentes son modelos dependientes | No | Aborto |
| **19** | Excepción de coma flotante SIMD #XF | SSE  SSE2 | No | Falta |
| **20-31** | Reservas por Intel | ---- | ---- | ---- |
| **32-255** | Interrupción definidas por el usuario | Interrupción externa o  INT n | ---- | Interrupción |

\*Reglas de atención de una interrupción o excepción:

|  |  |
| --- | --- |
| **Prioridad** | **Descripciones** |
| 1  (Mayor prioridad) | Reset del hardware y comprobación de la maquina.   * RESET * Comprobación de la maquina. |
| 2 | Depuración en el cambio de tarea.   * Se activa el señalizador T en TSS. |
| 3 | Intervenciones de hardware externos.   * FLUSH * STOPCLK * SMI * INIT |
| 4 | Depuración de la instrucción previa.   * Punto de ruptura. * Eliminación de fallos en la depuración de excepciones. |
| 5 | Interrupciones externas.   * Interrupciones NMI. * Interrupciones hardware enmascarables. |
| 6 | Faltas procedentes de la captura de las instrucciones siguientes   * Falta del código de punto de ruptura. * Violación límite del código de segmento. * Falta de código de página. |
| 7 | Falta procedente de la codificación de las instrucciones siguientes:   * Longitud de instrucción > 15 bytes. * Código OP ilegal. * Coprocesador no valido. |
| 8  (Menor prioridad) | Faltas en la ejecución de una instrucción   * Desbordamiento. * Error bound * TSS invalida * Segmento no presente * Falta de la pila * Protección general * Falta de la página de datos * Comprobación del alineamiento. * Excepción de coma flotante x87 FPU * Excepción de coma flotante SIMD |

🡪 Primero se analiza si hay más de una instrucción pendiente y miramos la tabla de prioridades.

🡪 Luego se salva en la pila el contenido de CS, IP y los registros de estado o flags y se ponen en 0 los bits TF e IF.

🡪 Se busca el vector predefinido en la tabla de interrupciones; si este no viene, está dado por la instrucción INTR.

🡪 Se quitan de la pila (con la instrucción IRET) los datos salvados anteriormente para continuar con el trabajo de la CPU.